

# 低抵抗 Si 基板上の CBCPW 線路の裏面導体構造の検討

富山 渉                      清水 隆志                      古神 義則  
宇都宮大学大学院工学研究科 〒321-8585 栃木県宇都宮市陽東 7-1-2  
E-mail: {mt106226, tshimizu, kogami}@cc.utsunomiya-u.ac.jp

**あらまし**                      近年、ミリ波応用の実現に向けて Si CMOS 回路の研究開発が推進されている。Si CMOS 回路に低抵抗 Si 基板を用いる場合、オーム損による伝送損の増加が懸念され、その伝送損の低減が重要な課題となっている。本研究では、Si CMOS プロセスに適した CPW 線路構造を模索するために、低抵抗 Si 基板上の絶縁層に構成された裏面導体付き CPW 線路の裏面導体構造(配線層 1 層目)が伝送特性におよぼす影響を電磁界シミュレータにより検討した。その結果、配線層 1 層目の導体配置により伝送特性が大きく変化することがわかった。

**キーワード**                      裏面導体付き CPW 線路, 配線層, 低抵抗 Si, ミリ波

## Study on the structure of the bottom conductor layer for CBCPW On the low-resistivity silicon substrate

Wataru TOMIYAMA, Takashi SHIMIZU, and Yoshinori KOGAMI

Graduated School of Engineering, Utsunomiya University    Yoto7-1-2, Utsunomiya-shi, Tochigi 321-8585 Japan  
E-mail: {mt106226, tshimizu, kogami}@cc.utsunomiya-u.ac.jp

**Abstract**                      Recently, the realization of the millimeter wave applications has been promoting the development of the mm-wave Si CMOS circuits. There are concerns about the increase in transmission losses due to ohmic losses when low-resistivity silicon substrate is used. Therefore, one of the important issues is the reduction of the transmission losses. In this paper, it is studied that the effect on the transmission characteristic by the bottom conductor (1st metal layer) structure for the conductor backed coplanar waveguide, which composed by the insulator layer on the low-resistivity silicon substrate, using 3D electromagnetic field simulator. As a result, it is found that the transmission characteristic is greatly changed by the conductor arrangement of the 1st metal layer

**Keywords**                      Conductor backed coplanar waveguide, Metal layer, Low-resistivity silicon, millimeter wave

### 1. はじめに

近年、ミリ波応用に向けて Si CMOS 回路の研究開発が推進されている[1]。無免許で使用できる 60GHz 周波数帯を開拓し、高速無線通信を低コストで提供するという背景のもと、大量生産が可能な Si CMOS 回路が注目され、関連する研究開発も活発に行われている[2][3]。Si CMOS 回路に低抵抗 Si 基板を用いる場合、オーム損による伝送損の増加が懸念され、その低減が重要な課題となっている。

Si 基板と線路の間に配置される配線層により、Si 基板への電磁界の侵入が抑制できれば、その損失低減が可能である。本研究では Si CMOS プロセスに適した CPW 線路の配線方法を模索することを目的とし、低抵抗 Si 基板上の絶縁層に構成された裏面導体付き CPW 線路の裏面導体構造(配線層 1 層目)が伝送特性におよぼす影響を 3 次元電

磁界シミュレータにより検討したので報告する。

### 2. 解析構造

図 1 に解析する線路構造を示す。実際の Si CMOS 回路では、絶縁層である SiO<sub>2</sub> 層内に配線層が存在する。通常、配線層は高さ方向に数～十数層に分割されているが、最下部の Si 基板に接する 1 層目の配線層が Si 基板への電磁界の漏えいを左右する最も重要な層であり、これを「裏面導体」と呼ぶ。ここでは図 1 のような、CPW 配線層－絶縁層－裏面導体(配線層 1 層目)－低抵抗 Si 基板という簡略化した積層構造モデルを用いて検討する。ここで、中心導体幅  $w$ 、スロット幅  $g$  をもつ CPW 配線層は厚さ  $t=1\mu\text{m}$ 、導電率  $\sigma=3.8\times 10^7\text{S/m}$  の Al 導体、絶縁層は厚さ  $h=8\mu\text{m}$ 、比誘電率  $\epsilon_r=4.0$ 、誘電正接  $\tan\delta=0$  の SiO<sub>2</sub>、配線層 1 層目は厚さ  $1\mu\text{m}$ 、Al 導体および SiO<sub>2</sub>、Si 基板は厚さ

300 $\mu\text{m}$ , 比誘電率 11.9, 誘電正接 0, 比抵抗  $1\Omega\cdot\text{cm}$  の低抵抗 Si とする。また、伝送方向長さ 200 $\mu\text{m}$  とし、幅 96 $\mu\text{m}$  とする。

ここで CPW 配線層の中心導体幅  $w$ , スロット幅  $g$  は特性インピーダンス  $Z_0=50\Omega$  となるように、導体厚さ  $t=1\mu\text{m}$  を考慮して、 $w=14\mu\text{m}$ ,  $g=9\mu\text{m}$  と決定した。この際、Si 基板の影響が無くなるように、配線層 1 層目に導体を 1 面に配置した裏面導体付き CPW 線路(CBCPW)に対する計算式[4]

$$Z_0 = \frac{60\pi}{\sqrt{\epsilon_{eff}}} \frac{1}{\frac{K(k)}{K(k')} + \frac{K(k_3)}{K(k'_3)}} \quad \dots(1)$$

$$\epsilon_{eff} = \frac{1 + \epsilon_r \frac{K'(k'_e)}{K(k_e)} \frac{K(k_3)}{K(k'_3)}}{1 + \frac{K'(k'_e)}{K(k_e)} \frac{K(k_3)}{K(k'_3)}} \quad \dots(2)$$

を用いた。ただし、 $\epsilon_{eff}$  は実効誘電率、 $K(k)/K(k')$  は第 1 種完全楕円積分である。また、 $k$ ,  $k_3$  および  $k_e$  は次式で与えられる。

$$k = w/(w+2g)$$

$$k_3 = \tanh(\pi w/4h) / \tanh\{\pi(w+2g)/4h\}$$

$$k_e = w_e/(w_e+2g_e)$$

$$w_e = w + \Delta, \quad g_e = g + \Delta$$

$$\Delta = \frac{1.25t}{\pi} \left\{ 1 + \ln\left(\frac{4\pi w}{t}\right) \right\}$$

なお、計算には有限要素法に基づく 3 次元電磁界シミュレータ Ansoft HFSS ver.11 を用いた。また入出力部には Wave ポートを設定し、解析周波数を  $f=70\text{GHz}$  とした。

### 3. 配線層 1 層目の導体配置方法による検討

Si CMOS プロセスでは Si 基板上の配線層 1 層目には導体を一面に配置することが難しいことがあり、その配置方法によっては伝送特性に影響を及ぼすことが予期される。そこで、配線層 1 層目の導体配置方法による検討を行う。

まず、最も単純な解析モデルとして、(1) 図 2 に示すように、Al 導体と SiO<sub>2</sub> を CPW 配線層の中心導体と直交に配置した場合、(2) 図 4 に示すように、Al 導体 SiO<sub>2</sub> を中心導体と平行に配置した場合の 2 通りを考える。この時、SiO<sub>2</sub> 部は Si 基板のオーム損の影響を受ける部分となる。

#### 3.1. Al 導体を中心導体と直交に配置した構造

図 2 に配線層 1 層目に Al 導体を直交に配置した構造の上面図を示す。図 2(a)は Al-SiO<sub>2</sub>-Al の順に配置した構造であり、SiO<sub>2</sub> の長さ  $e$  とする。図 2(b)は SiO<sub>2</sub>-Al-SiO<sub>2</sub> の順で配置した構造であり、Al の長さ  $d$  とする。

図 2(a), (b) に示す構造の計算結果を図 3(a), (b) にそれぞれ示す。なお、横軸は長さ  $e$  または  $d$  を中心導体幅  $w$  で規格化している。図 3 (a)より、SiO<sub>2</sub> 長さを長くした時 ( $e/w > 0$ )、

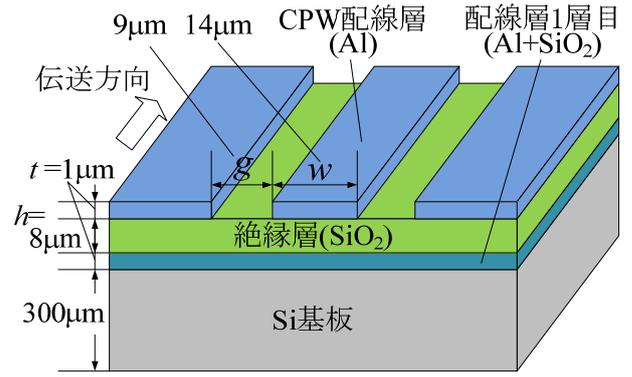
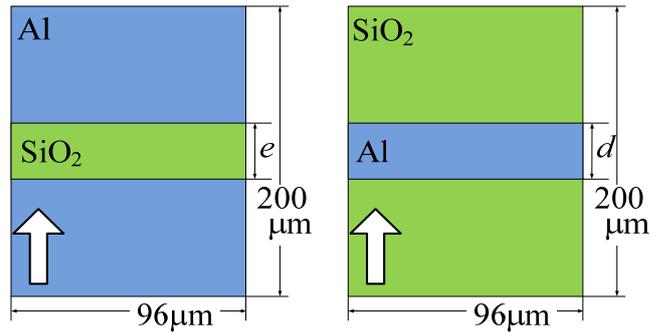
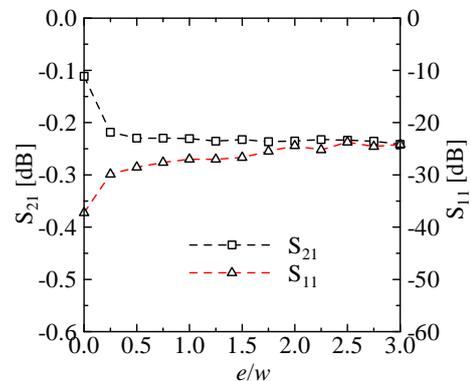


図 1 解析する CBCPW 線路構造

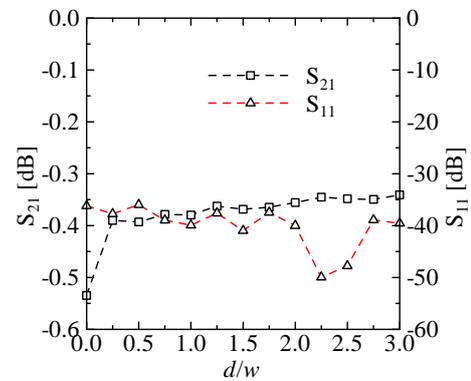


(a) Al-SiO<sub>2</sub>-Al (b) SiO<sub>2</sub>-Al-SiO<sub>2</sub>

図 2 Al 導体を中心導体と直交に配置した構造



(a) Al-SiO<sub>2</sub>-Al



(b) SiO<sub>2</sub>-Al-SiO<sub>2</sub>

図 3 図 2 に示す構造の計算結果

反射係数  $S_{11}$  は -40dB から -25dB に変化し、透過係数  $S_{21}$

は-0.10dB から-0.25dB に変化している。これより、SiO<sub>2</sub> 配置による影響は、ほぼ反射損によるものであり、Si 基板によるオーム損の影響は小さいと考えられる。図 3(b)より、Al 導体長さを長くした場合( $d/w>0$ )、反射係数  $S_{11}$  は-40dB 程度で変化しない。一方、透過係数  $S_{21}$  は 0.2dB 程度減少している。よって、Si 基板によるオーム損の影響を低減したと考えられる。しかしながら、全体としての損失は、Al 導体部の面積が広い図 2(a)に示す構造の方が小さいといえる。

### 3.2. Al 導体を中心導体と平行に配置した構造

図 4 に配線層 1 層目に Al 導体を平行に配置した構造の上面図を示す。図 4(a)は Al-SiO<sub>2</sub>-Al の順に配置した構造であり、SiO<sub>2</sub> の幅  $c$  とする。図 4(b)は SiO<sub>2</sub>-Al-SiO<sub>2</sub> の順で配置した構造であり、Al の幅  $b$  とする。

図 4(a), (b)に示す構造の計算結果を図 5(a), (b)にそれぞれ示す。なお、横軸は幅  $c$  または  $b$  を中心導体幅  $w$  で規格化している。図 5(a)より、SiO<sub>2</sub> 幅を広くした時( $c/w>0$ )、反射係数  $S_{11}$  は-40dB 程度でほとんど変化せず、透過係数  $S_{21}$  は 0.2dB 程度大きくなっている。したがって、Si 基板によるオーム損が生じ、損失が増加していることがわかる。図 5(b)より、Al 導体幅を広くした場合( $b/w>0$ )、反射係数  $S_{11}$  は-40dB 程度でほとんど変化せず、透過係数  $S_{21}$  が 0.4dB 程度増加しており、Si 基板によるオーム損の影響が大きいといえる。特に、Al 導体配置無しの場合( $b/w=0$ )と比較すると、導体をわずかに配置する( $b/w>0$ )だけでも、損失は大きく低減可能であることがわかる。また、この構造では Al 導体幅をより広げることで、Si 基板の影響を低減可能であると考えられる。

### 4. 不連続部を有する Al 導体を平行配置した構造

前節の検討において、配線層 1 層目における最も効果的な Al 導体の配置方法であった図 4(b)に示す構造について、さらに検討を行う。図 4(b)に示す構造において、中心導体直下に配置した Al 導体を、長さ  $e$  の SiO<sub>2</sub> で伝送方向中央部を分割した構造の上面図を図 6 に示す。

図 6 において、Al 導体幅  $b=14\mu\text{m}$  とし、SiO<sub>2</sub> 長さ  $e$  を変化した場合、および SiO<sub>2</sub> 長さ  $e=7\mu\text{m}$  とし、Al 導体幅  $b$  を変化した場合の計算結果を図 7(a), (b)にそれぞれ示す。なお、横軸は  $e$  または  $b$  を中心導体幅  $w$  で規格化している。

図 7(a)より、中心導体直下の Al 導体をわずかでも分割した場合( $e/w>0$ )、反射係数  $S_{11}$  が-40dB から-20dB 程度に変化している。また、透過係数  $S_{21}$  は 1dB 程度増加している。これは、中心導体直下に Al 導体を配置した部分は裏面導体付き CPW 線路構造となり、SiO<sub>2</sub> 部分は CPW 線路構造となる。そのため、インピーダンス整合が得られず、反射損が増加する。図 7(b)より、Al 導体をわずかでも配置した場合( $b/w=0\rightarrow 0.1$ )、反射係数  $S_{11}$  は-40dB から-20dB 程度に変化している。また、透過係数  $S_{21}$  が-0.5dB から-0.9dB へと増

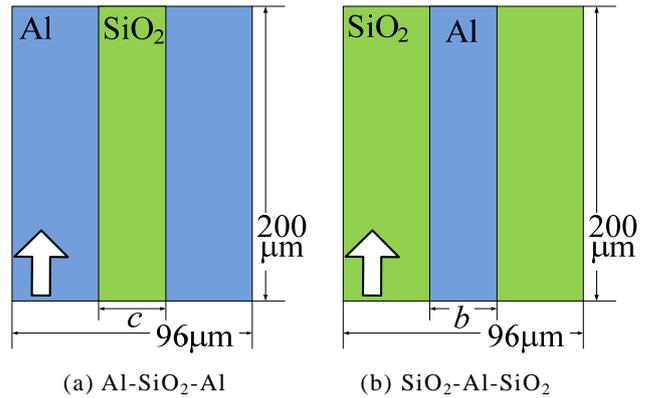
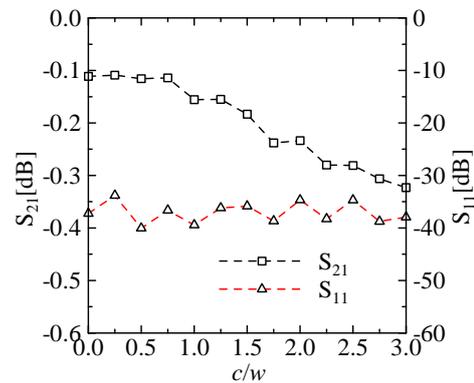
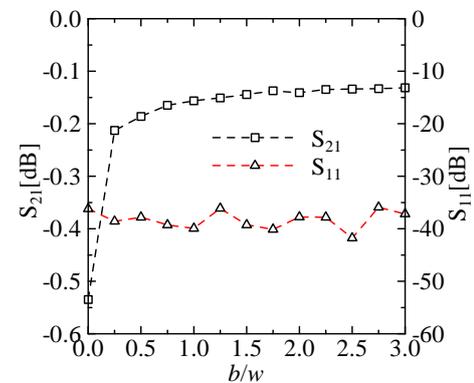


図 4 Al 導体を中心導体と平行に配置した構造



(a) Al-SiO<sub>2</sub>-Al



(b) SiO<sub>2</sub>-Al-SiO<sub>2</sub>

図 5 図 4 に示す構造の計算結果

加した。これは先に述べたインピーダンスの不整合のためである。さらに、Al 導体幅を広くすると、 $b/w=1.25$  で透過係数  $S_{21}$  が最大となる。この原因については現在検討中である。

以上の結果より、本構造の場合は、Si 基板によるオーム損の影響ではなく反射損が支配的となることがわかった。

### 5. 不連続部両端に Al 導体を配置した構造

反射損を抑制するために、図 6 に示した構造の不連続部両端に Al 導体を配置した構造の検討を行う。図 8 に幅  $14\mu\text{m}$ 、長さ  $7\mu\text{m}$  の Al 導体片を伝送方向中央の SiO<sub>2</sub> の両脇に間隔  $u$  で配置した構造の上面図を示す。この時、Al 導体幅  $b=14\mu\text{m}$  であり、 $b/w=1$  となる。

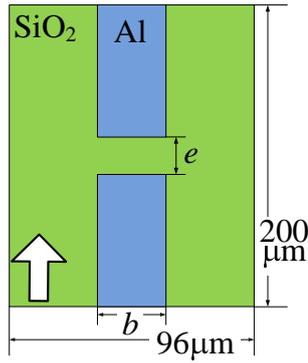
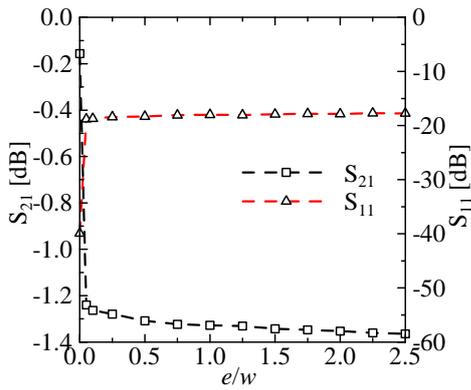
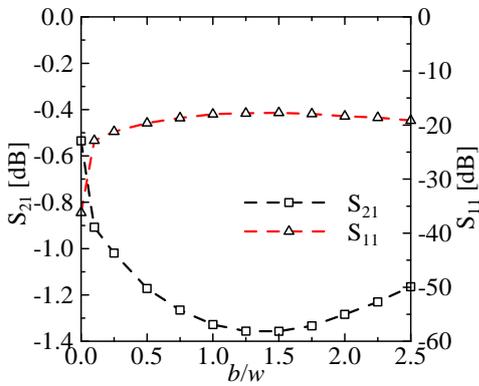


図 6 不連続部をもつ Al 導体を平行配置した構造



(a)  $b=14\mu\text{m}$



(b)  $e=7\mu\text{m}$

図 7 図 6 に示す構造の計算結果

間隔  $u$  を  $0\sim 20\mu\text{m}$  まで変化した場合の計算結果を図 9 に示す。間隔  $u=0\sim 14\mu\text{m}$  は中心導体直下の導体と不連続部両端に配置した導体が接触している状態である。間隔  $u=14\mu\text{m}$  前後で、反射係数  $S_{11}$  は  $-40\text{dB}$  から  $-20\text{dB}$  程度へと変化し、透過係数  $S_{21}$  は  $-0.2\text{dB}$  から  $-1.3\text{dB}$  と  $1\text{dB}$  以上大きく変化している。また、配線層 1 層目上の電流密度分布を計算してみると、 $u=14\mu\text{m}$  前後で大きく変化していることがわかった。

以上の結果より、配線層 1 層目に構造的な不連続部が存在しても、Al 導体片を適切に配置することで、反射損を低減できることがわかった。

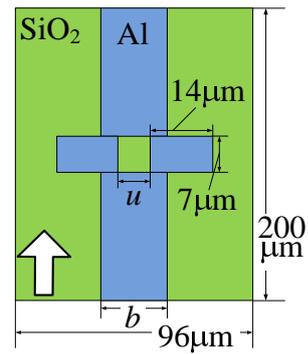


図 8 不連続部両端に Al 導体を配置した構造

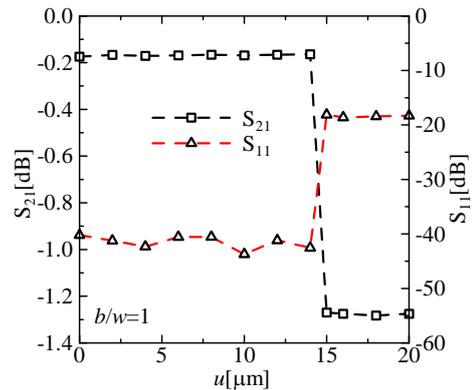


図 9 図 8 に示す構造の計算結果

## 6.まとめ

低抵抗 Si 基板上的 CBCPW 線路の裏面導体構造(配線層 1 層目)の検討を計算により行った。その結果、配線層 1 層目の導体配置方法によって、伝送特性が大きく変化することを明らかにした。また、配線層 1 層目に構造的な不連続部が存在しても、Al 導体片を適切に配置することで、反射損を低減できることがわかった。

今後、さらなる配線層 1 層目の導体配置に関する検討や低損失伝送線路の試作実験を行う予定である。

## <参考文献>

- [1] I.C.H.Lai, H.Tanimoto and M.Fujishima, "Characterization of High Q Transmission Line Structure for Advanced CMOS Processes," IEICE Trans. Electron., vol.E89-C, no.12, pp.1872-1879, Dec. 2006.
- [2] 土谷, 小野寺, "ダミーフィルが配線の高周波特性に与える影響," 信学技報, vol. VLD2007-7, pp.55-59, May 2007.
- [3] 小野, 平野, 岡田, 広川, 安藤, "ダミーメタル入り伝送線路の伝搬定数の固有値解析," 信学総大, C-2-59, p.102, Mar. 2010
- [4] R.N.Simons "Coplanar Waveguide Circuits, Components, and Systems", Wiley inter-science, pp.25-26, 2001.